

Exemplar f. IKF, Koll. Schauer

Nur für den Dienstgebrauch

VEB Zentrum Wissenschaft und Technik Dresden  
Betrieb des VEB Kombinat Rundfunk und Fernsehen  
- Entwurfszentrum E 2 -

---

Themenmitteilung E 2/1/85

Thema: Fremdmuster-Analyse des 16 Bit-Digital-Analog-  
Wandlers MP 7616

Bearbeiter: Dipl.-Ing. W. Altermann

Themen-Nr.: 121415

Dresden, den 21. 11. 1985

InhaltsverzeichnisSeite

1.	Allgemeine Bemerkungen	1
2.	Blockschaltbild, Pinbelegung	1
3.	Ausgewählte elektrische Kennwerte	1
4.	Technologische Parameter, Chipgröße	2
5.	Schaltungsbeschreibung	2
5.1.	Inverter	2
5.2.	Erzeugung der positiven Speisespannung für die Eingangsstufen	2
5.3.	Eingangsstufen	2
5.4.	Erzeugung der Steuersignale für die Stromschalter	3
5.5.	Erzeugung der Ausgangsströme $J_{out1}$ und $J_{out2}$	4

### 1. Allgemeine Bemerkungen

Der integrierte Schaltkreis MP 7616 der Firma Micro Power Systems ist ein 16 Bit-Digital-Analog-Wandler für HiFi-Anwendungen. Der Schaltkreis ist in CMOS-Technik gefertigt und besitzt SiCr-Dünnschichtwiderstände, die nicht getrimmt werden müssen, wodurch eine gute Langzeitstabilität erreicht wird. Die Schaltung arbeitet nach dem Prinzip der dekodierten Wichtung, um eine gute differentielle Linearität zu erreichen. Bei diesem Schaltungsprinzip erfolgt eine digitale Dekodierung der 4 MSBS (Bit 1-4) zwecks Ansteuerung von 15 gleichen Stromquellen, wodurch Abweichungen in den Eigenschaften der Transistoren und Widerstände bei der Verarbeitung dieser 4 MSBS das Ausgangssignal nur relativ gering beeinflussen können. Bei den Bits 5-16 erfolgt eine direkte Umsetzung mittels Stromschaltern.

### 2. Blockschaltbild, Pinbelegung

Bild 1 zeigt das Blockschaltbild des MP 7616.

Pinbelegung:

<u>Pin</u>	<u>Bezeichnung</u>	<u>Pin</u>	<u>Bezeichnung</u>
1	Bit 3	12	Bit 14
2	Bit 4	13	Bit 15
3	Bit 5	14	Bit 16 (LSB)
4	Bit 6	15	$U_{DD}$
5	Bit 7	16	$U_{Ref}$
6	Bit 8	17	$R_{Rückkoppel}$
7	Bit 9	18	$i_{out1}$
8	Bit 10	19	$i_{out2}$
9	Bit 11	20	$U_{SS}$
10	Bit 12	21	Bit 1 (MSB)
11	Bit 13	22	Bit 2

### 3. Ausgewählte Kennwerte

Tabelle 1:

<u>Kenngröße</u>	<u>Einheit</u>	<u>min.</u>	<u>typ.</u>	<u>max.</u>
Positive Speisespannung $U_{DD}$	V	13	15	16
Betriebsstrom $J_{DD}$	mA	0,4		4
Referenzspannung $U_{Ref.}$	V	- 25	10	25
Eingangs-Low-Spannung $U_{inl}$	V	- 0,5		0,8

noch Tabelle 1:

Kenngröße	Einheit	min.	typ.	max.
Eingangs-High-Spannung $U_{inH}$	V	2,4		$U_{DD}$
Eingangsstrom $I_{in}$	$\mu A$	- 1		1
Ausgangsleckstrom	nA			10
Eingangsimpedanz	KOhm		5	

#### 4. Technologische Parameter, Chipgröße

Folgende minimale Abmessungen könnten durch mikroskopische Untersuchung ermittelt werden:

Stegbreiten:	Al-Leitbahnen:	10 $\mu m$
	Poly-Si-Leitbahnen:	6 $\mu m$
Abstände:	Al-Leitbahnen:	6 $\mu m$
	Poly-Si-Leitbahnen:	6 $\mu m$
Kontaktfenster:	10 $\mu m$ x 14 $\mu m$	
Bondineeln:	100 $\mu m$ x 100 $\mu m$	
Chipgröße:	2,9 mm x 3,8 mm	

Durch Messungen am Anschluß R<sub>rückkoppel</sub> konnte die Größe eines Dünnechichtwiderstandes R des Handlernetzwerkes zu 20 KOhm bestimmt werden, womit sich für diese Widerstände ein Schichtwiderstand von 4 KOhm pro Quadrat ergibt.

#### 5. Schaltungsbeschreibung

##### 5.1. Inverter

Bild 2 zeigt einen CMOS-Inverter mit zugehörigem Schaltsymbol, wie er in der Schaltung des MP 7616 verwendet wird.

##### 5.2. Erzeugung der positiven Speisespannung für die Eingangsstufen

Die Eingangsstufen werden mit einer gesonderten positiven Eingangsspannung  $U_{ppH}$  betrieben. In Bild 3 ist die Schaltung zu ihrer Erzeugung dargestellt. Der Widerstand R 1, der gleichzeitig eine flächenhaft verteilte Diode zum Substrat bildet, formt zusammen mit dem als Widerstand wirkenden p-Kanal-Transistor T 201 einen Basisspannungsteiler für den npn-Transistor T 200. Die Eigenschaften des Arbeitwiderstandes R 2 werden von dem diesen Widerstand bedeckenden Gate mitbestimmt.

##### 5.3. Eingangsstufen

Bild 3 zeigt das Schaltbild der Eingangsstufen der Biteingänge. Die Diode D 1 und der p-Kanal-Transistor T 202 bilden eine Gateschutzschaltung, wobei die Diode D 1 vor Unterspannungen und der Transistor T 202 vor Überspannungen schützen sollen. Die aus den Transistoren T 203 - T 206 gebildeten Inverter steuern eine

Triggerstufe (T 207 - T 210) gegenphasig an, während der folgende Inverter (T 211, T 212) eine invertierende Funktion der gesamten Eingangsstufe bewirkt.

#### 5.4. Erzeugung der Steuersignale für die Stromschalter

Bild 5 zeigt die Schaltung zur Erzeugung der Steuersignale für die Stromschalter bzw. Stromquellen.

Ansteuerfunktionen aus der Dekodierung der 4 MSBs:

(Bit 1  $\hat{=}$  1, Bit 2  $\hat{=}$  2, Bit 3  $\hat{=}$  3, Bit 4  $\hat{=}$  4)

$$A 1 = \overline{123} = \overline{1} \vee \overline{2} \vee \overline{3}$$

$$A 2 = \overline{12} = \overline{1} \vee \overline{2}$$

$$A 3 = \overline{1(2\vee3)} = \overline{1} \vee \overline{2} \overline{3}$$

$$A 4 = \overline{1 \vee 2 \vee 3 \vee 4} = \overline{1} (\overline{2 \vee 3 \vee 4})$$

$$A 5 = \overline{1 \vee 2 (3 \vee 4)} = \overline{1} (\overline{2 \vee 3 \vee 4})$$

$$A 6 = A 10 (\overline{3 \vee 4})$$

Bei A 6 erfolgt eine dynamische Speicherung des vorangegangenen Signalwertes bei den Eingangsbelegungen 2 = 3 = A 10 = Low und 2 = 4 = A 10 = Low.

$$A 7 = A 10 \overline{3}$$

Bei A 7 erfolgt eine dynamische Speicherung des vorangegangenen Signalwertes bei der Eingangsbelegung 3 = 2 = A 10 = Low.

$$A 8 = 1$$

$$A 9 = \overline{3 \vee 4} A 10$$

Bei A 9 erfolgt eine dynamische Speicherung des vorangegangenen Signalwertes bei der Eingangsbelegung 2 = 3 = 4 = A 10 = Low.

$$A 10 = \overline{1 \vee 2} = \overline{1} \overline{2}$$

$$A 11 = \overline{1 (2 \vee 3 \vee 4)} = \overline{1} \vee \overline{2 \vee 3 \vee 4}$$

$$A 12 = \overline{1 2 3 4} = \overline{1} \vee \overline{2} \vee \overline{3} \vee \overline{4}$$

$$A 13 = \overline{1 (2 \vee 3 \vee 4)} = \overline{1} \vee \overline{2} (\overline{3 \vee 4})$$

$$A 14 = \overline{1 2 (3 \vee 4)} = \overline{1} \vee \overline{2} \vee \overline{3 \vee 4}$$

$$A 15 = \overline{1 \vee 2 \vee 3} = \overline{1} (\overline{2 \vee 3})$$

### 5.5. Erzeugung der Ausgangsströme $J_{out1}$ und $J_{out2}$

In Bild 6 ist die ausschließlich Transistoren vom n-Kanal-Typ enthaltende Schaltung zur Erzeugung der Ausgangsströme  $J_{out1}$  und  $J_{out2}$  neben dem Rückkoppelwiderstand für die externe Strom-Spannungs-Wandlung dargestellt. Die Transistoren T 1 - T 14 und T 17 - T 30 bilden 14 gleiche Stromquellen, die entsprechend der o. g. Ansteuerfunktionen A 1 - A 7 und A 9 - A 15 ihre Ströme in  $J_{out1}$  und  $J_{out2}$  einspeisen.

Tabelle 2 zeigt die Stromspeisung in den Ausgang  $J_{out1}$ .

Die weiteren Stromschalter (T15, T16, T 31 - T 60) schalten die Anschlußknoten des Widerstandsnetzwerkes in Abhängigkeit der Bitbelegung bei Bit 1 und Bit 5 - Bit 16 an die Ausgänge  $J_{out1}$  und  $J_{out2}$ .

Eine geeignete Stromuntersetzung wird neben der Größe der angeschlossenen Widerstände durch eine Variation der Gatebreiten der Transistoren erreicht. Während die Gatebreiten der Transistoren T1 - T30 gleich sind, weisen die Transistoren T31, T32, T 42, T43 nur die Hälfte, die Transistoren T33, T34, T44, T45 nur ein Viertel und die Transistoren T35, T40, T46 - T49, T53, T54, T56, T57, T59, T60 nur ein Achtel dieser Gatebreite auf. Eine weitere Untersetzung, die ebenfalls dem Faktor 2 entsprechen dürfte, erfolgt durch die als Widerstand wirkenden Transistoren T55/T50, T41/T58, T52/T61, wobei die durch Schrägstrich getrennten Transistoren gleiche Geometrien besitzen. Die Transistoren T51, T62, T63 wirken als Widerstände und dienen möglicherweise der Kompensation des Temperaturganges der Dünnschicht-Widerstände.

Bild 7 zeigt einen Layout-Übersichtplan, der eine Orientierung auf dem Chipfoto (Maßstab 240 : 1) bei Betrachtungen bezüglich Leitbahnführung und Bauelementegeometrie erleichtern soll. Neben einigen Bondinseln für Testzwecke ist neben der  $U_{SS}$ -Bondinsel eine weitere angeordnet, an die eine Abschirmleitbahn angeschlossen ist. Die Kontaktierung erfolgt bei diesem Abschirmanschluß über einen Bonddraht auf dem  $U_{SS}$ -Zinken.







Abschirmung

JOUT 2  
19

JOUT 1  
18

A

Uss  
20

T101 -  
T195

Inverter  
A1 -  
A15

T1 -  
T30

B

Bit 1  
MSB  
21

C

Bit 2  
22

Eingangsstufen  
Bit 1 -  
Bit 8

Eingangsstufen  
Bit 9 -  
Bit 16

Inverter  
A16 -  
A27

T31 -  
T62

Bit 3  
1

Bit 4  
2

Bit 5  
3

R401 -  
R409

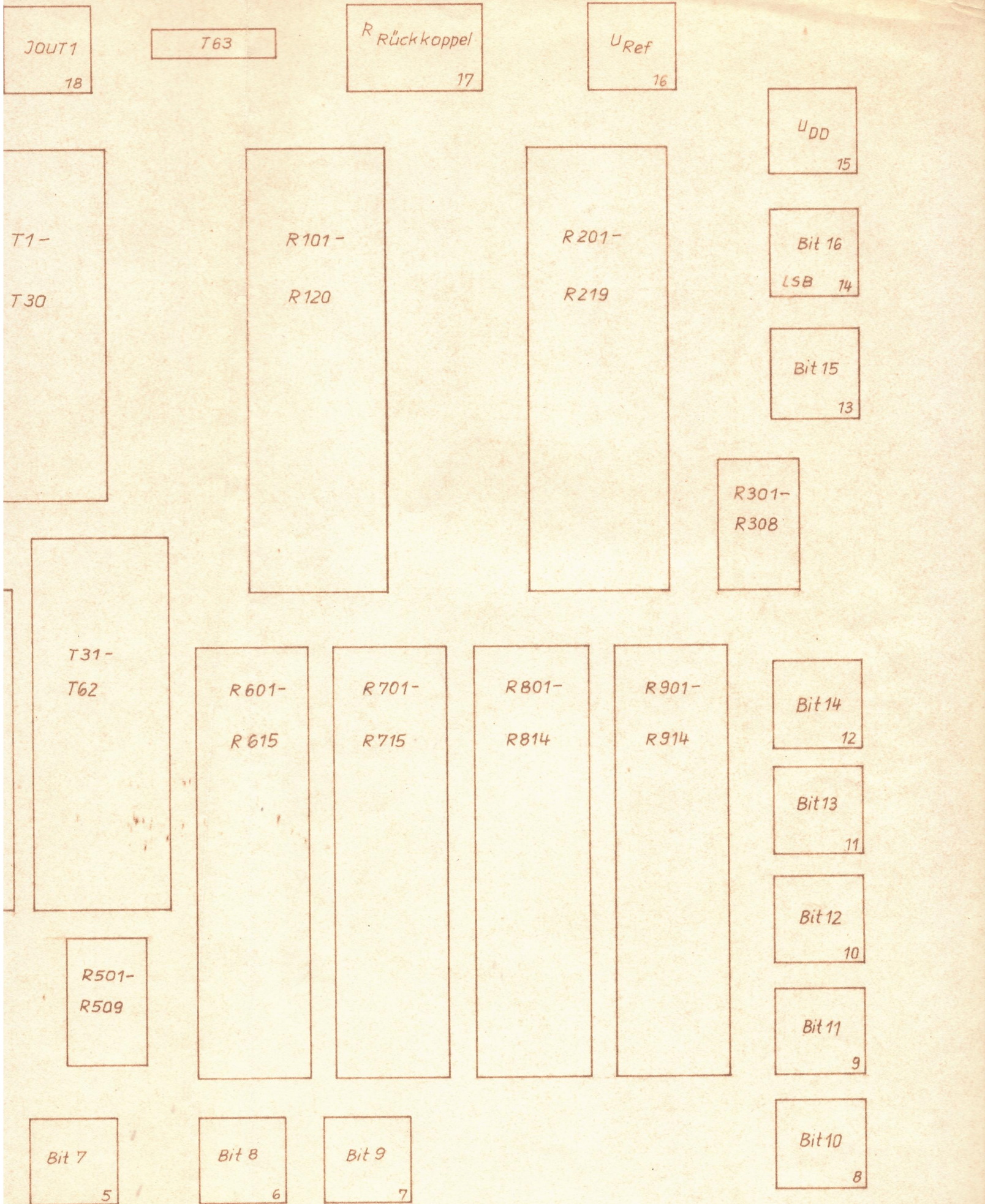
R501 -  
R509

D

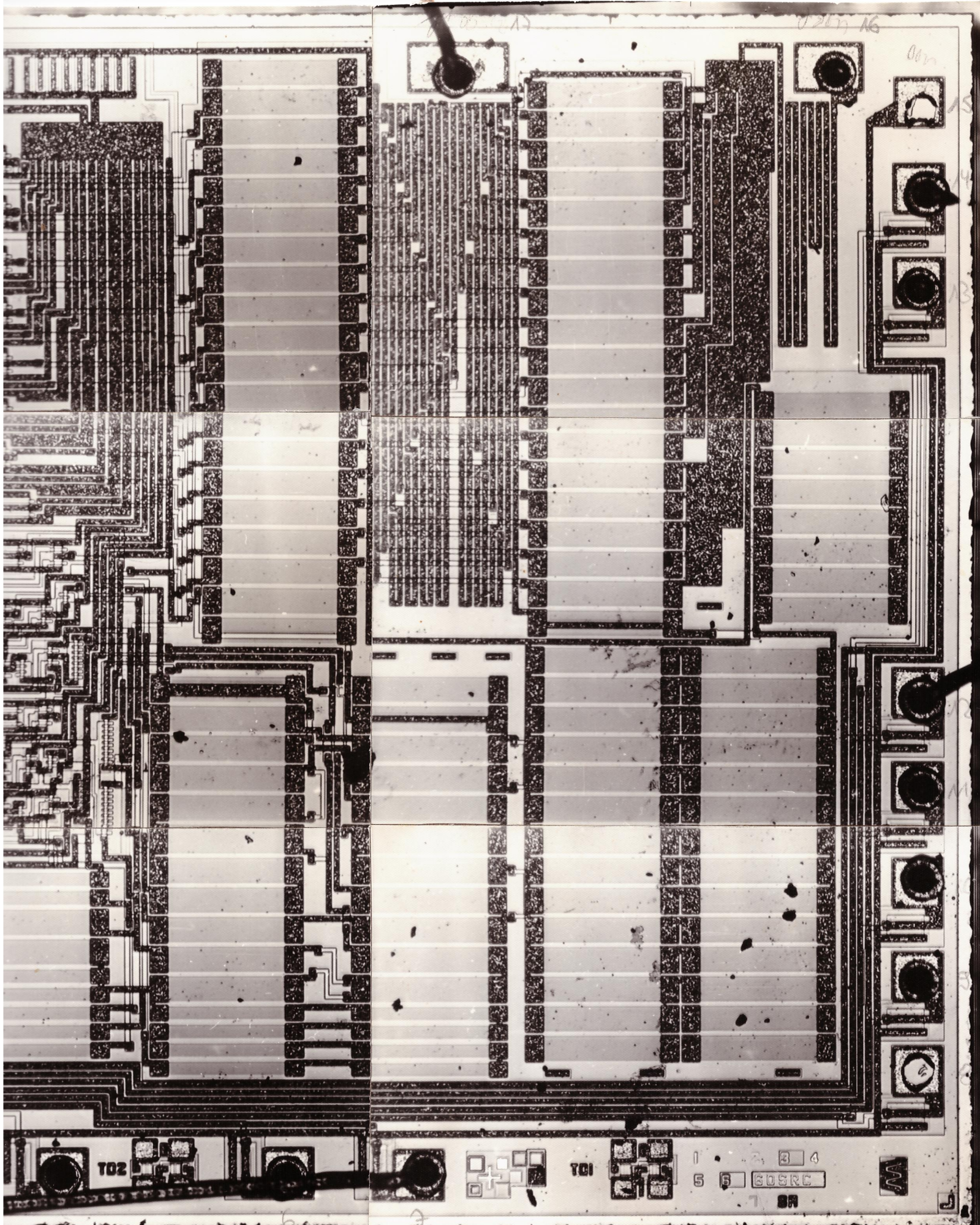
Speisespannungserzeugung für Eingangsstufen

Bit 6  
4

Bit 7  
5



1		Bild 7 Layout - Übersichtsplan	
26.11.85			
4	5	6	7



0000000000

020716

000

15

15

15

15

15

15

T02

T01

1 2 3 4  
5 6 60SRC  
7 8A



A

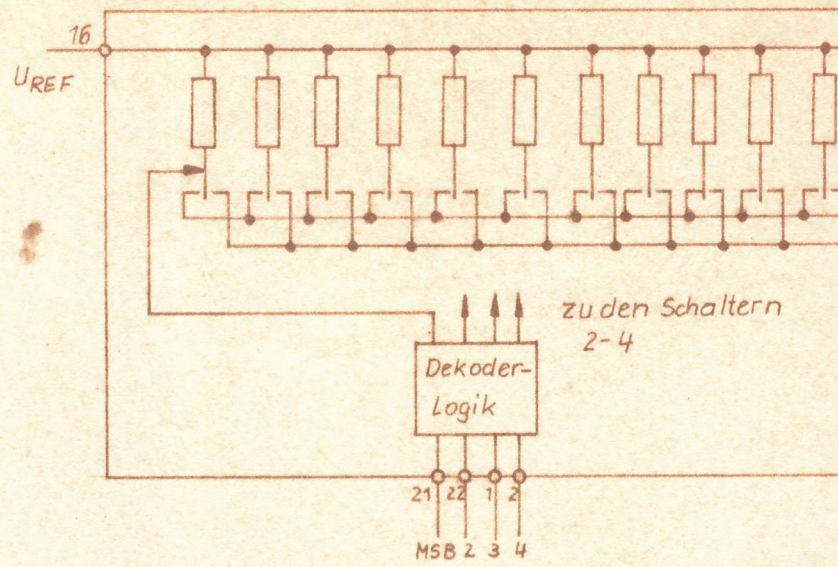


Bild 1 Blockschaltbild

B

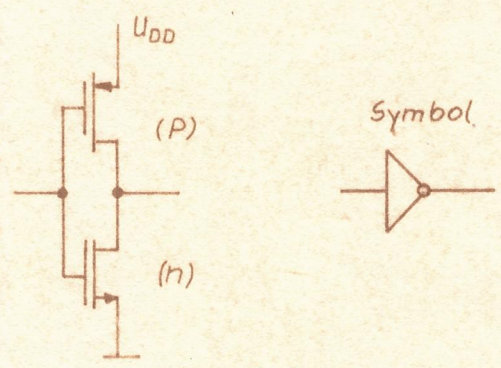


Bild 2 Inverter

C

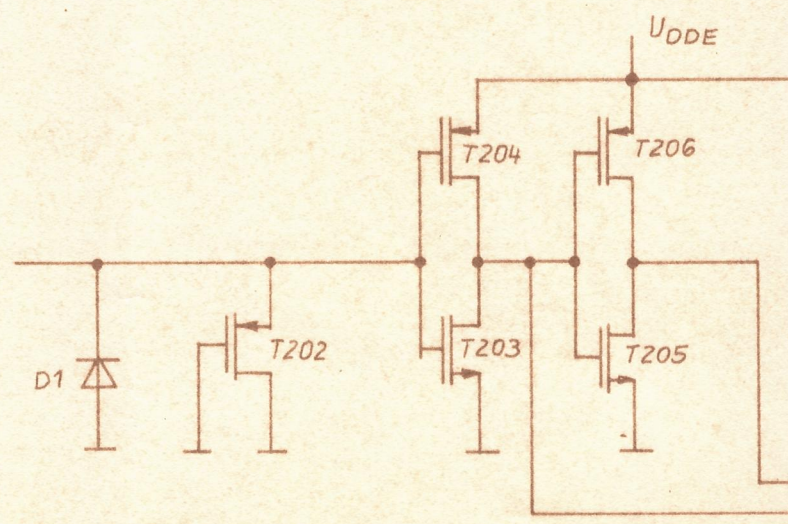


Bild 4 Eingangsstufen

D

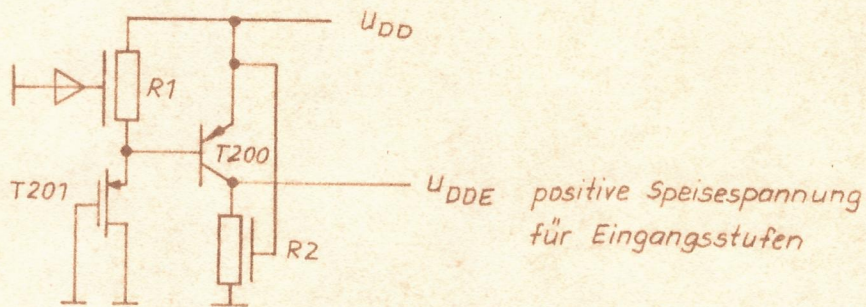
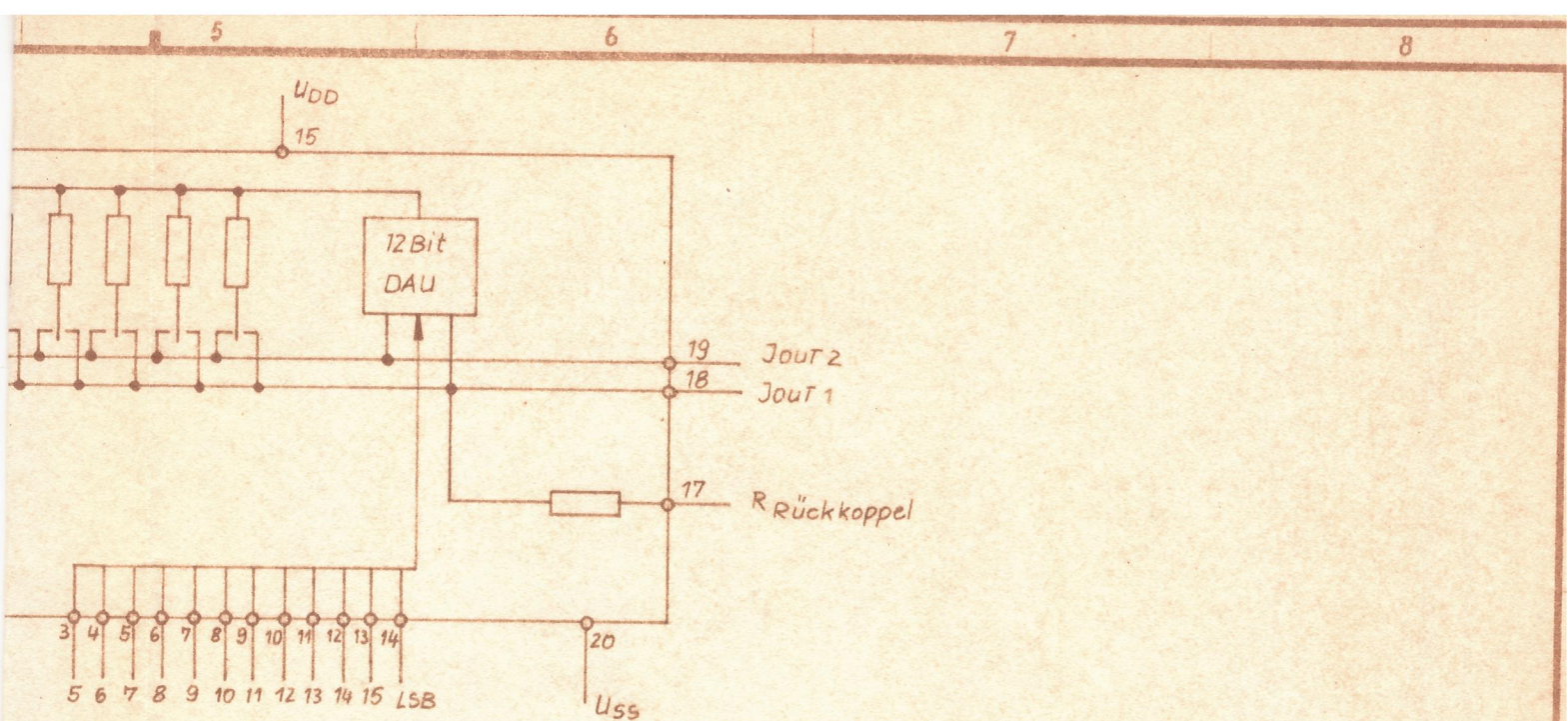
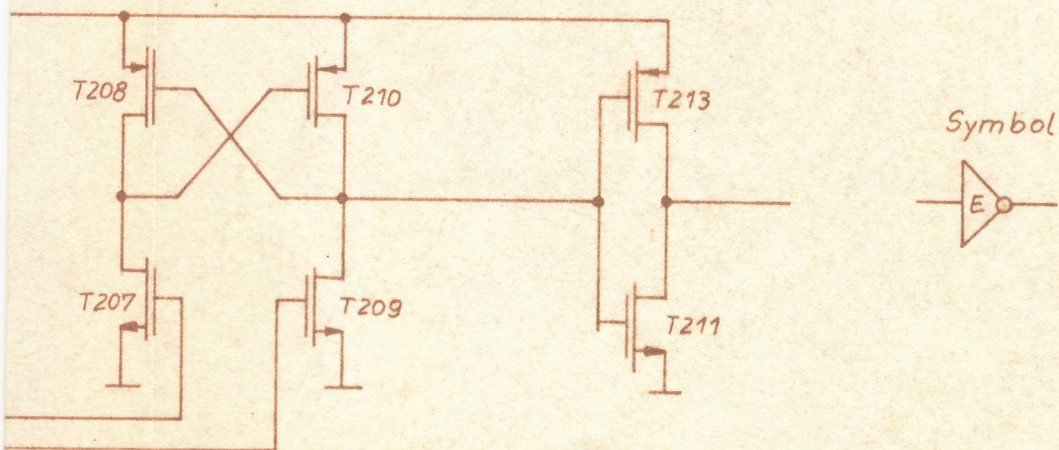
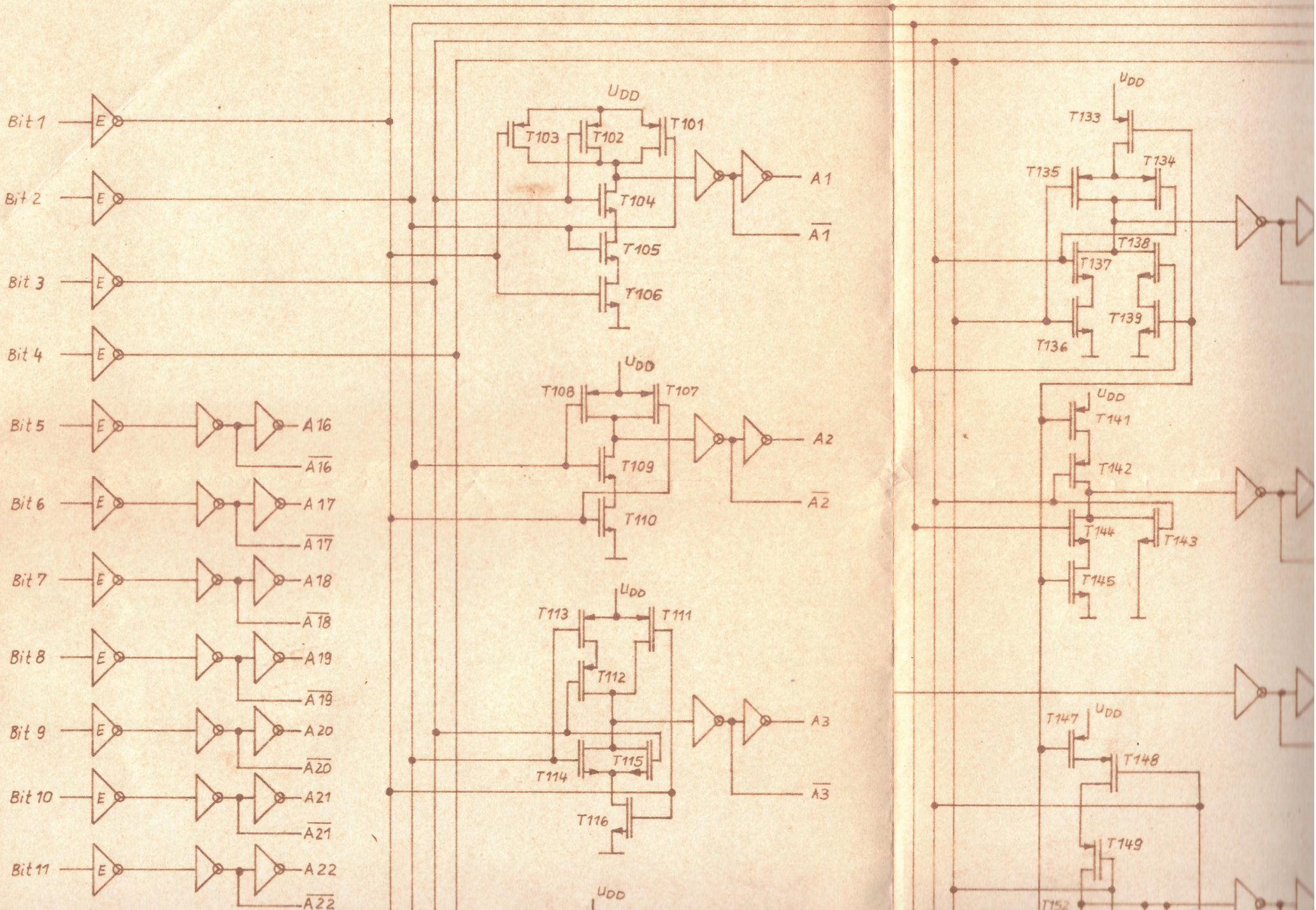
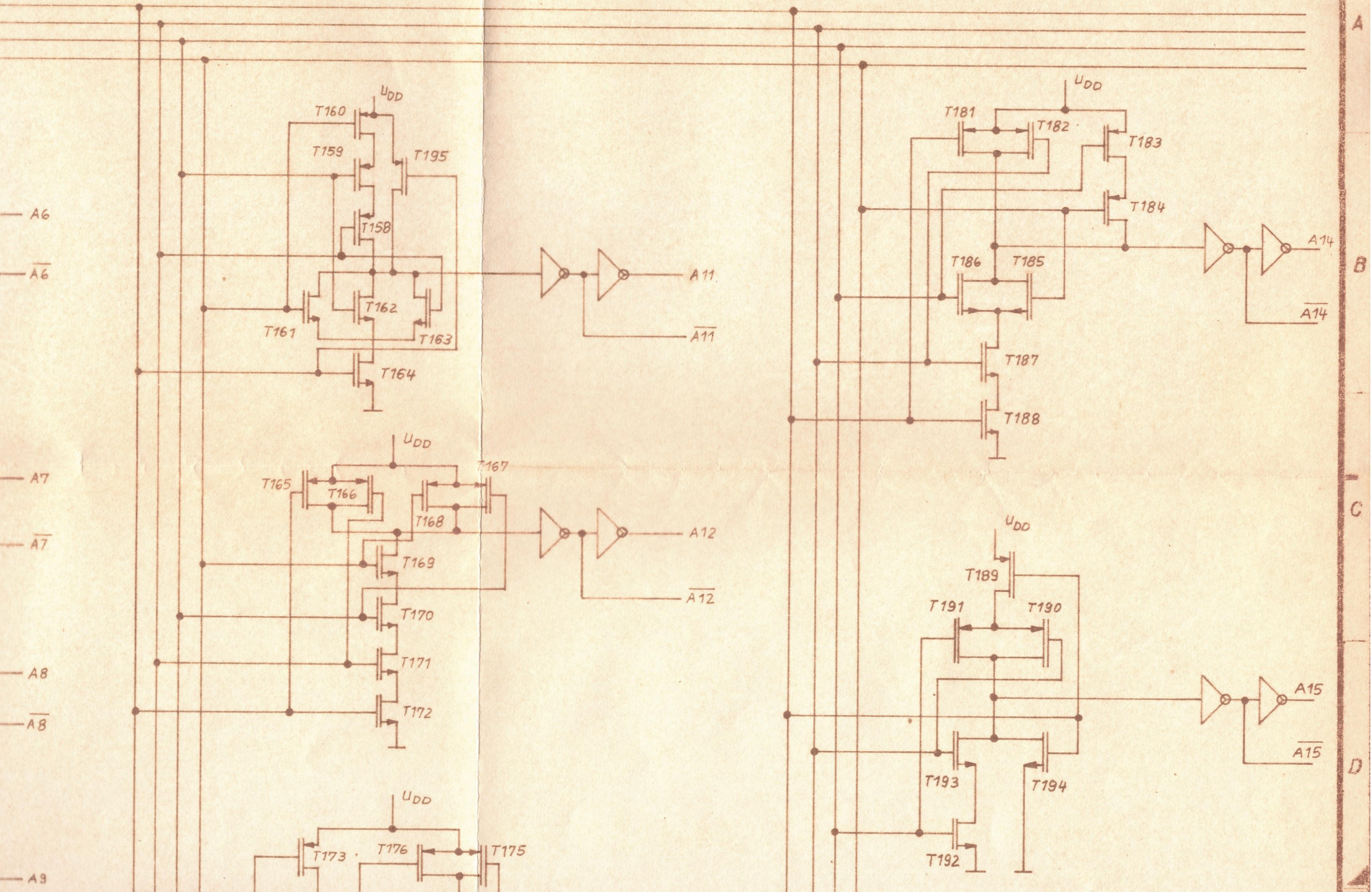


Bild 3 Speisespannungserzeugung für Eingangsstufen

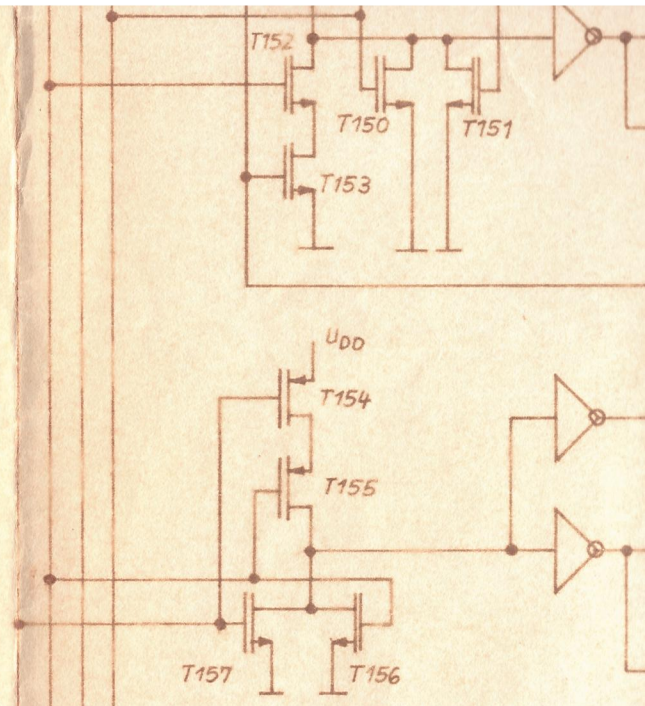
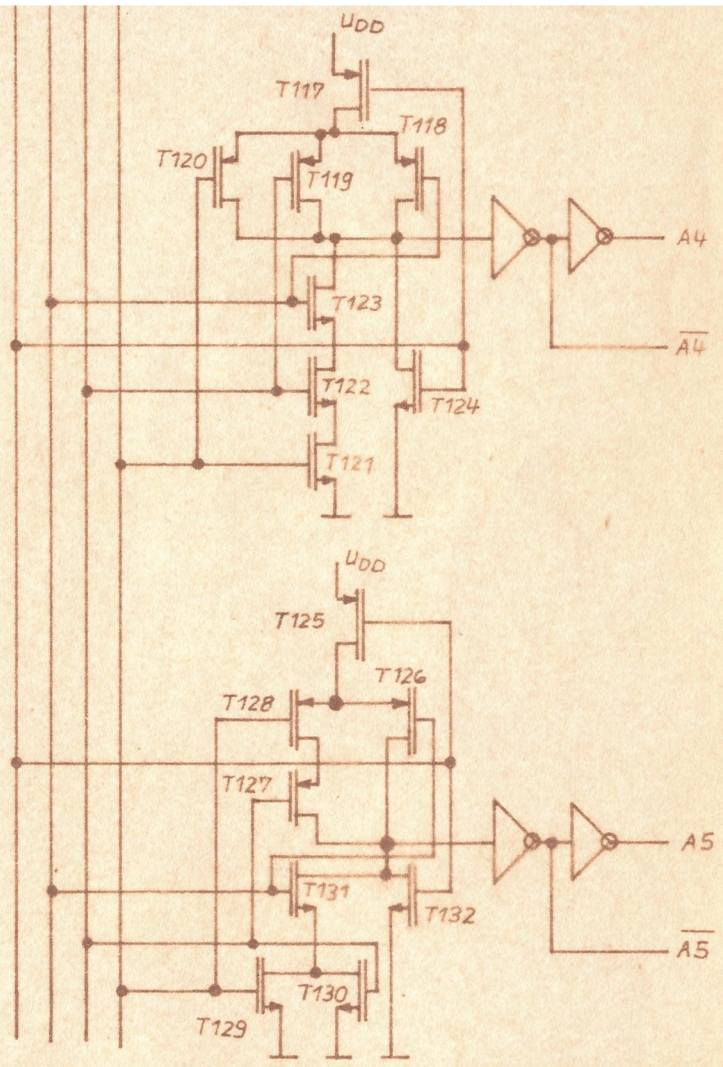
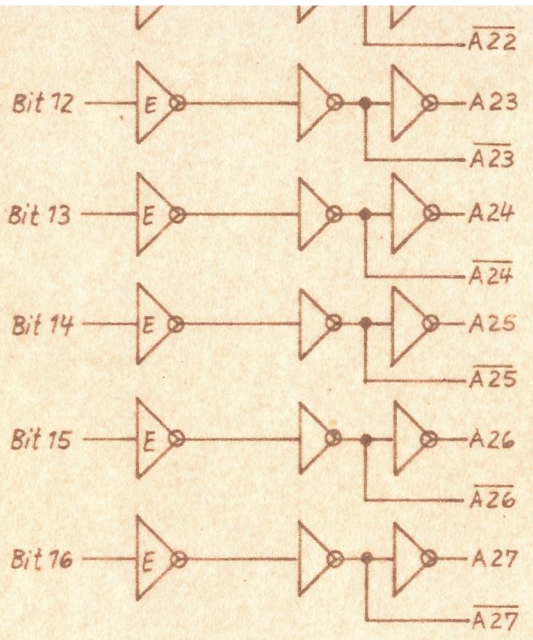




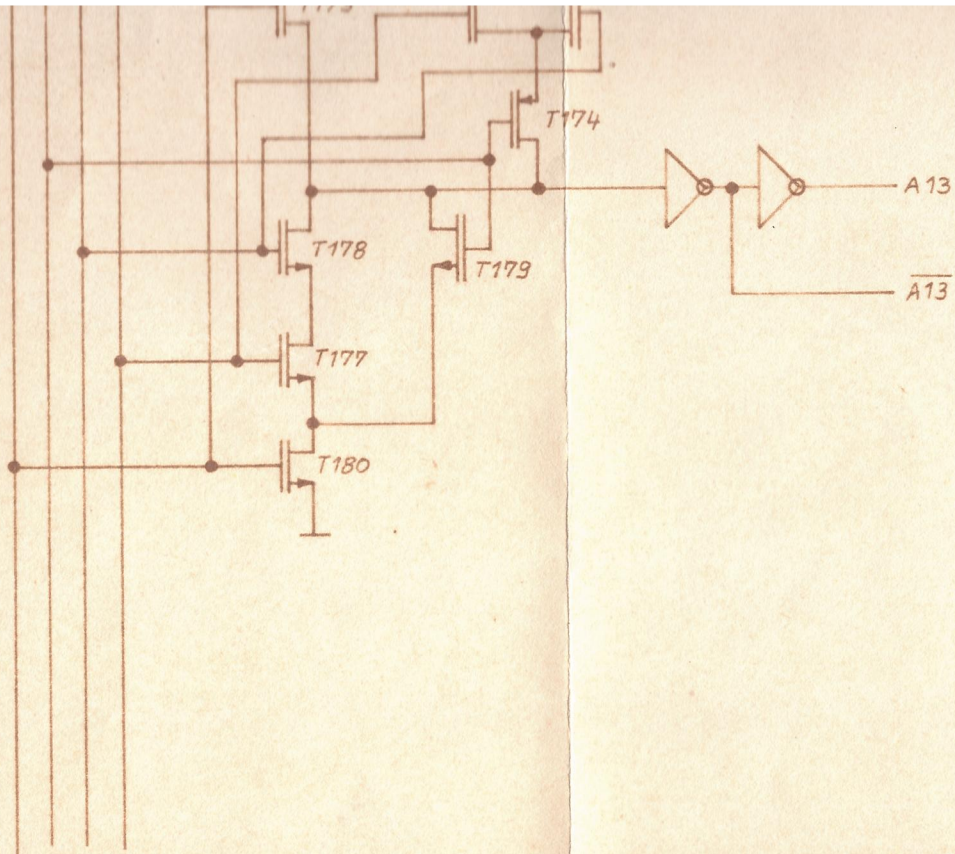


Vervielfältigungen, Weitergabe an Dritte, Bekanntmachung oder andere Nutzung dieses Konstruktionsdokumentes sind ohne Genehmigung nicht gestattet. Zuwiderhandlung zieht rechtliche Folgen nach sich.

E  
F  
G  
H







				Halbzeug / Werkstoff		zul. Abw. für Maße ohne Toleranzang.	
				Benennung		Maßstab	
				Bild 5 Erzeugung der Steuersignale für die Stromschalter		Bl. Anz. Bl. Nr.	
						Masse	
ÄZ	Mitteilung	Datum	Name	Zeichnungs-Nr.			
85		Datum	Name				
Bearb.		26.11.					
Konstr.							
Technol.							
				Ers. für		Ers. durch	
Stand.							